

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-064429

(43)Date of publication of application : 12.03.1993

(51)Int.Cl. H02M 3/155

(21)Application number : 03-224162

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 04.09.1991

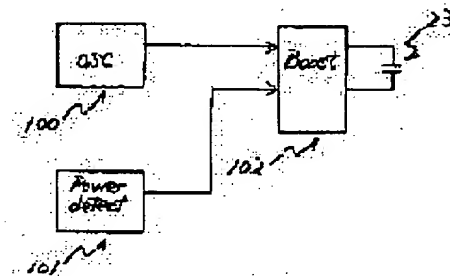
(72)Inventor : HISHINUMA KOZO

(54) SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(57)Abstract:

PURPOSE: To reduce a current consumption by controlling a booster for boosting an input voltage on a single semiconductor substrate and a frequency divider of an oscillation frequency according to an output of a power source voltage detector provided on the same substrate.

CONSTITUTION: An oscillator 100 oscillates a basic frequency, has a plurality of frequency dividers, and outputs a plurality of clock signals having different frequencies to a booster 102. A power source voltage detector 101 detects a voltage value, and outputs it to the booster 102. The booster 102 has a boosting capacitor 23, and has functions of controlling boosting of an input voltage value and controlling selection of input clock signals. The oscillator 100, the detector 101 and the booster 102 are formed on a single semiconductor substrate. Thus, a current to be consumed is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application
No. 64429/1993 (Tokukaihei 5-64429)

A. Relevance of the Above-identified Document

This document has relevance to claims 1, 13, 14,
and 24 of the present application.

B. Translation of the Relevant Passages of the Document

[PROBLEMS TO BE SOLVED BY THE INVENTION]

An object of the present invention is to reduce the dissipated current in a semiconductor device used in electrical devices which require low current dissipation. The object is attained by providing means for automatically varying a current driving ability of a transistor of a booster oscillator which is used for a booster of the semiconductor device, or a frequency of a clock which is inputted to the booster oscillator. This is carried out by detecting various conditions of the semiconductor device, based on a voltage value of a power supply used in the electrical device, a frequency of a reference clock which is used as a reference in the operation of the semiconductor device, and types of external devices which need to be driven.

[EMBODIMENTS]

[0012]

THIS PAGE BLANK (USPTO)

The current driving ability of the gate which drives outputs 12 and 13 becomes maximum when booster oscillator ability switching signals 15 and 16 are at Low level. Assuming that the P-channel and N-channel transistors making up the gate which drives the outputs 12 and 13 are of the same physical size, the current driving ability of the gate which drives the outputs 12 and 13 becomes a half of its maximum value when the booster oscillator ability switching signals 15 and 16 are High and Low, respectively, or when the booster oscillator ability switching signals 15 and 16 are Low and High, respectively. The outputs 12 and 13 become a high impedance state when the booster oscillator ability switching signals 15 and 16 are at Low level. In this case, boosting does not come into effect and the dissipated current of the booster becomes minimum.

[0013]

Indicated by 20 is a selector which selects the oscillating frequency used for boosting. 17 and 18 are the outputs of a frequency divider and have different frequencies. 21A and 21B are in-phase waveforms with amplitudes of different power ranges for driving transistors which have different operation power ranges. 22A and 22B are off-phase waveforms with amplitudes of different power ranges for the same

THIS PAGE BLANK (USPTO)

purpose. 22B is in-phase with 21A or 21B. Indicated by 19 is a signal for selecting an output from the frequency divider.

[0014]

The input signal 13 to the control circuit 14 and the input signal 19 to the selector 20 change their states according to the output of the power voltage detector.

[0015]

By lowering frequencies of 21A, 21B, 22A, and 22B, the dissipated current of the booster per unit time is reduced.

[0016]

The voltage level detected by the power voltage detector is V_1 . The state of the control signal destined to the control circuit 14 and the selector 20 from the power voltage detector is changed based on whether the power voltage is higher or lower than V_1 .

[0017]

When the power voltage is higher than V_1 , those circuits of the semiconductor device which use the booster power supply require large current. Thus, in this case, the current driving ability of the gate which drives the outputs 12 and 13 is maximized. Further, the frequencies of 21A, 21B, 22A, and 22B are

THIS PAGE BLANK (USPTO)

set to one of the outputs of the frequency driver having a higher frequency clock. The dissipated current of the booster becomes maximum in this case, but the booster power supply can be sufficiently used as a current supply.

[0018]

When the power voltage is lower than V_1 , the circuits of the semiconductor device which use the booster power supply do not require large current. Thus, in this case, the current driving ability of the gate which drives the outputs 12 and 13 is reduced to a half of the maximum. Further, the frequencies of 21A, 21B, 22A, and 22B are set to the output of the frequency divider having a lower frequency clock. In this case, the booster power supply can supply a current which is sufficient for the low voltage operation of the semiconductor device, and can reduce the dissipated current of the booster.

THIS PAGE BLANK (USPTO)

(19)日本特許庁 (J.P) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-64429

(43)公開日 平成5年(1993)3月12日

(5)Int.Cl. ¹ H 0 2 M 3/155	機別記号 F 8726-5H	FI	技術表示箇所
審査請求 未請求 請求項の数 2(全 4 頁)			

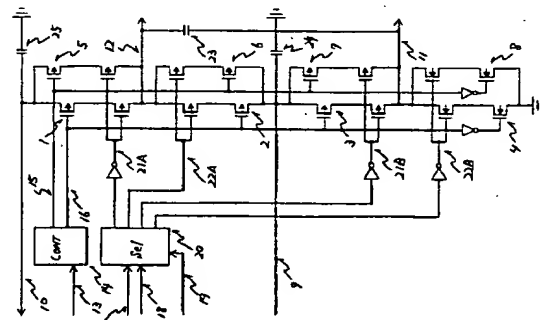
(21)出願番号 特願平3-224162	(71)出願人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 愛知 英三 長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内 (74)代理人 井理士 鈴木 喜三郎 (外1名)
(22)出願日 平成3年(1991)9月4日	

(54)【発明の名称】 半導体装置及び電子機器

(57)【要約】

【目的】昇圧回路を有する半導体装置において、電源電圧の電圧値により、昇圧回路の能力を変更して、半導体装置の消費電流を低減する。

【構成】昇圧駆動能力の駆動能力が変更でき、また昇圧発振の周波数を変更できる昇圧回路と、前記昇圧回路にクロックを供給する半導体装置基本クロックの分周回路と、前記昇圧回路に検出結果を出力する電源電圧検出回路からなる。



(1)

【特許請求の範囲】

【請求項1】 単一半導体基板上において、

a) 入力電圧を昇圧する昇圧回路と、

b) 入力信号を分周する分周回路と、

c) 電源電圧値を決定する電源電圧検出回路と、

d) 前記電源電圧検出回路の出力を入力とし、前記昇圧回路と前記分周回路に制御信号を出力する制御回路からなることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置を応用したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に昇圧回路を有する半導体装置の消費電流を低減する回路の改良に関する。

【0002】

【従来の技術】 従来の昇圧回路を有し、昇圧回路によって昇圧された電源を周辺回路の動作電源等に使用している半導体装置において、電源電圧の電圧値、半導体装置の動作の基本クロックの周波数、または駆動しなければならない外部周辺装置の周波数等に関わらず、昇圧回路に使用される昇圧用発振回路のトランジスタの電流駆動能力や昇圧用発振回路に入力するクロックの周波数は、半導体装置の出荷時において固定されており、半導体装置が応用される電子機器上の使用状況に対応して変更することはできなかった。

【0003】

【発明が解決しようとする課題】 しかし、低消費電流が要求される電子機器に適用された半導体装置において、電子機器に使用される電源の電圧値、半導体装置の動作の基本クロックの周波数、または駆動しなければならない外部周辺装置の周波数等に対して、半導体装置が有する昇圧回路に使用される昇圧用発振回路のトランジスタの電流駆動能力や昇圧用発振回路に入力するクロックの周波数等を自動的に変更する手段を与えることによって、前記半導体装置が消費する電流を低減することを目的とする。

【0004】

【課題を解決するための手段】 単一半導体基板上において、a) 入力電圧を昇圧する昇圧回路と、b) 入力信号を分周する分周回路と、c) 電源電圧値を決定する電源電圧検出回路と、d) 前記電源電圧検出回路の出力を入力とし、前記昇圧回路と前記分周回路に制御信号を出力する制御回路からなることを特徴とする。

【0005】

【実施例】 以下に、本発明について実施例に基づき、詳細に説明する。

【0006】 図1は、本発明による半導体装置の実施例である。100は、発振回路と分周回路から構成される

回路で、102に対して、周波数の異なる複数のクロック信号を出力する。101は、電源電圧検出回路で、検出結果を102に対して出力する。また、102は、昇圧回路と前記昇圧回路を制御する制御回路を含む回路である。

【0007】 図2は、図1の102の詳細である。102は、基準電圧を、チャージポンプによって2倍に昇圧する昇圧回路と、前記昇圧回路を制御する制御回路から構成される。

【0008】 入力9は、昇圧に使われる基準電源である。10は、基準電源9を昇圧した昇圧電源である。23は、出力端子11と12に出力される電圧によって、基準電源9から汲み上げられた電荷を一時的に蓄えるための、出力端子11と12の間に外付けされたキャパシタである。

【0009】 出力端子11と出力端子12は同相のクロックを出力し、出力端子11からの出力クロックは、半導体装置の負極側電源の電位（以後グラウンドと呼ぶ）と基準電源9の電位の間の振幅を持つ。また、出力端子12からの出力クロックは、基準電源9の電位と昇圧電源10の電位の間の振幅を持つ。

【0010】 キャパシタ25は、昇圧電源10の出力端子とグラウンドの間に接続され、昇圧電源10の安定のために用いられる。同じ理由によってキャパシタ24は、基準電源11の出力端子とグラウンドの間に接続される。【0011】 14は、トランジスタ1、2、3および4と、トランジスタ5、6、7および8のオン、オフを制御する制御回路である。13は、前記制御回路14への入力信号で、前記制御回路14の出力15および16の状態を決定する。

【0012】 出力12および13を駆動するゲートの電流駆動能力は、15および16が、ロー状態の時、最大となる。出力12および13を駆動するゲートを構成する、PチャネルおよびNチャネル・トランジスタの物理的なサイズをすべて同じとした場合に、15がハイ状態、16がロー状態の時、または15がロー状態、16がハイ状態の時、出力12および13を駆動するゲートの電流駆動能力は、最大時の半分になる。15および16がロー状態の時、出力12および13は、ハイ・インピーダンス状態となり、昇圧は行われない。従って、この時昇圧回路の消費電流は最少となる。

【0013】 20は、昇圧に使用される、発振周波数を決める選択回路である。17および18は分周回路からの出力で、異なる周波数を持つ。21Aと21Bは、同位相の波形で、異なる電圧範囲で動作するトランジスタを駆動するために、異なる電源範囲の振幅を持つ。22Aと22Bは、互いに位相が反転した波形を持ち、前記と同じ理由で、異なる電圧範囲の振幅を持つ。22Bは、21Aまたは21Bと同位相である。19は、分周回路からの出力を選択する信号である。

(1)

【0014】前記制御回路14への入力信号13および前記選択回路20への入力信号19は、前記電源電圧検出回路の出力によって、それらの状態を変える。

【0015】21A、21B、22Aおよび22Bの周波数を下げると、昇圧回路の単位時間あたりの消費電流は減少する。

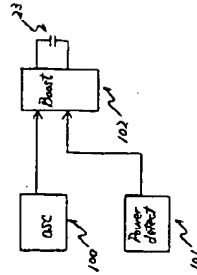
【0016】電源電圧検出回路が検出する電圧レベルを、V1とする。電源電圧がV1より高いか、または低いかによって、電源電圧検出回路から前記制御回路14および選択回路20へ出力する制御信号の状態を変更する。

【0017】電源電圧がV1より高い場合、半導体装置に含まれる、昇圧電源を使用する回路は、多くの電流を必要とする。従って、出力12および13を駆動するゲートの電流駆動能力を最大にする。また、21A、21B、22Aおよび22Bの周波数を、分周回路出力の周波数の高い方のクロックに合わせる。昇圧回路の消費電流は、最大となるが、昇圧電源は十分な電流供給源になる。

【0018】電源電圧がV1より低い場合、半導体装置に含まれる、昇圧電源を使用する回路は、多くの電流を必要としない。従って、出力12および13を駆動するゲートの電流駆動能力を最大時の半分にする。また、21A、21B、22Aおよび22Bの周波数は、分周回路出力の周波数の低い方のクロックに合わせる。この場合、昇圧電源は、半導体装置の低電圧動作には十分な電流を供給でき、しかも昇圧回路の消費電流を低減することができる。

【0019】
【発明の効果】電池で駆動される電子機器に採用される半導体装置は、低消費電流で動作することが要求される。また、前記の半導体装置は、低電圧での動作を保障するために、昇圧回路を有し、前記昇圧回路によって発生する電源を使用する。

【図1】



(4)

【図2】

